

## Beschreibung

Verfahren zur Herstellung von Transistorstrukturen mit LDD

- 5 Die vorliegende Erfindung betrifft die Herstellung von Feldeffekttransistoren mit LDD.

Bei der Herstellung von MOSFET-Strukturen, insbesondere im Rahmen eines CMOS-Prozesses, werden sourceseitig und drainseitig des Kanals so genannte LDD-Bereiche (Lightly Doped Drain) ausgebildet, um die Betriebseigenschaften des Transistors zu verbessern. Z. B. werden damit die Kurzkanaleffekte, insbesondere DIBL, Punch-through, GIDL und  $V_t$ -Roll-off reduziert. Die LDD-Bereiche werden zwischen dem Source-Bereich und dem Kanalbereich und zwischen dem Kanalbereich und dem Drain-Bereich angebracht. Sie reduzieren die ansonsten sehr hohe elektrische Feldstärke zwischen dem Source-Bereich bzw. Drain-Bereich und dem Kanal-Bereich.

- 20 Bei der Herstellung komplementärer Transistoren im Rahmen eines CMOS-Prozesses werden jeweils die für den einen Typ vorgesehenen Transistoren mit einer Maske abgedeckt. Dann erfolgt für die übrigen Transistoren eine Implantation von Dotierstoff niedriger Dosis, um die LDD-Bereiche herzustellen.
- 25 Die Maske wird entfernt, und es werden die zuvor implantierten Transistoren mit einer weiteren Maske abdeckt. Dann erfolgt eine Implantation von Dotierstoff für den entgegengesetzten Leitfähigkeitstyp, mit dem die LDD-Bereiche der komplementären Transistoren hergestellt werden. Um die nachfolgend zu implantierenden Source-Bereiche und Drain-Bereiche ausreichend von den Kanalbereichen abzusetzen und damit einen möglicherweise auftretenden Punch-through zu unterdrücken, den GIDL-Effekt zu reduzieren und eine Degradation des MOSFETS durch heiße Ladungsträger zu vermindern, werden Seitenspacer an den sourceseitigen und drainseitigen Flanken der Gate-Elektroden hergestellt. Für die Implantierung des Dotierstoffs für die Source-Bereiche und Drain-Bereiche mit

höherer Dotierstoffkonzentration müssen dann mittels zweier weiterer Masken wieder jeweils die Transistoren des einen Typs abgedeckt werden. Das erfordert insgesamt vier Masken. Wegen der mit den LDD-Bereichen erzielten Vorteile sind noch  
5 weitere solcher Strukturen entwickelt und untersucht worden, wie z. B. LATID (Large-Angle Tilted Implant Drain) und DDD.

Aufgabe der vorliegenden Erfindung ist es, ein vereinfachtes Herstellungsverfahren von Transistorstrukturen mit LDD anzugeben.  
10

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

15

Bei dem hier beschriebenen Verfahren genügt für jeden Transistortyp die Verwendung nur einer Maske, mit der der jeweils entgegengesetzte Transistortyp abgedeckt wird. Um die unterschiedlichen Dotierstoffkonzentrationen für die Source- und Drain-Bereiche und die daran anschließenden niedriger dotierten Bereiche, im Folgenden der Einfachheit halber als LDD-Bereiche bezeichnet, implantieren zu können, werden sourceseitig und drainseitig an die Gate-Elektrode angrenzende und von der Gate-Elektrode nach außen abfallende schräge Flanken  
20 in dem Substrat oder Halbleiterkörper hergestellt. Vor der Implantation werden Seitenwandspacer an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode durch anisotropes Rückätzen einer konform abgeschiedenen Schicht hergestellt. Die Seitenwandspacer bedecken zumindest teilweise die  
25 Flanken der Gate-Elektrode und die schrägen Flanken im Substrat.  
30

Eine steil, vorzugsweise möglichst senkrecht, auf die Substratoberfläche auftreffende Implantation bringt den Dotierstoff für die Source-Drain-Bereiche in hoher Konzentration  
35 ein. Eine schräge Implantation in einem Winkel zwischen 30° und 60°, zum Beispiel etwa 45°, zur ursprünglichen Oberseite

## 3

des Substrats und mit einer niedrigeren Dosis wird vorgenommen, um die LDD-Bereiche auszubilden. Die Dotierstoffatome gelangen dabei durch die Seitenwandspacer in das Halbleitermaterial. Durch die typischen Form der Spacer und die geeignete Schräge der in dem Substrat ausgebildeten Flanken wird erreicht, dass die Dicke der Spacer zu den Source-Drain-Bereichen hin derart abnimmt, dass dort angrenzend an die Source-Drain-Bereiche die LDD-Bereiche mit der vorgesehenen Dotierstoffkonzentration hergestellt werden können.

10

Es folgt eine genauere Beschreibung von Beispielen des Verfahrens anhand der beigefügten Figuren.

15

Die Figur 1 zeigt im Querschnitt eine Schichtanordnung zur Strukturierung der Gate-Elektrode.

Die Figur 2 zeigt die Anordnung der Figur 1 mit strukturierter Gate-Elektrode.

20

Die Figur 3 zeigt ein weiteres Zwischenprodukt nach einem Ätzen der schrägen Flanken in der Substratoberseite.

Die Figur 4 zeigt ein weiteres Zwischenprodukt nach dem Abscheiden der Spacerschicht.

25

Die Figur 5 zeigt die Struktur nach dem Ätzen der Seitenwandspacer.

30

Die Figur 6 zeigt die Herstellung der LDD-Bereiche und der Source- und Drain-Bereiche.

35

In einer bevorzugten Ausführungsform des Verfahrens werden gemäß dem in der Figur 1 dargestellten Querschnitt auf eine im Wesentlichen ebene Oberseite eines Substrats 1 oder eines Halbleiterkörpers, z. B. aus Silizium, mit einer Grunddotierung oder dotierten Wannen ein Gate-Dielektrikum 2 und eine für die Gate-Elektrode vorgesehene Elektrodenschicht 30,

z. B. aus Polysilizium, aufgebracht. Es wird darauf eine Lackmaske 4 hergestellt, die entsprechend der herzustellenden Gate-Elektrode strukturiert ist.

5 Die Figur 2 zeigt den Querschnitt der Figur 1, nachdem mittels der Lackmaske 4 die Gate-Elektrode 3 strukturiert worden ist. Die Längsrichtung des Kanals liegt in der Zeichenebene. Links und rechts unterhalb der Gate-Elektrode 3 befinden sich daher die für Source und Drain vorgesehenen Bereiche. In der  
10 Figur 2 ist erkennbar, dass beim Ätzen des Materials der Gate-Elektrode 3 die Schicht des Gate-Dielektrikums 2 als Ätzstoppschicht wirkt. Die Zusammensetzung des Ätzgases wird dann geändert, so dass die Schicht des Gate-Dielektrikums seitlich der Gate-Elektrode 3 entfernt wird und weiter in das  
15 Substrat 1 geätzt wird. Der Fotolack der Lackmaske 4 kann gegebenenfalls vor dem Ätzen des Substrats entfernt werden.

Es wird so weit geätzt, bis die Oberseite des Substrats entsprechend der Darstellung der Figur 3 um eine Tiefe d abgesenkt ist. Gleichzeitig wird an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode 3 jeweils eine von der Gate-Elektrode 3 nach außen abfallende schräge Flanke 5 ausgebildet. Bei dem in der Figur 3 dargestellten Beispiel besitzen diese Flanken 5 eine Neigung von  $45^\circ$  zu der übrigen,  
20 im Wesentlichen ebenen Substratoberseite beziehungsweise zu der Ebene der ursprünglichen Substratoberseite. Durch eine geeignete Einstellung der Ätzraten in horizontaler und vertikaler Ätzrichtung können hier aber andere Neigungswinkel eingestellt werden. Bevorzugt bei diesem Verfahren sind Neigungswinkel von  $30^\circ$  bis  $60^\circ$ , wobei die schrägen Flanken 5  
25 vorzugsweise zueinander spiegelsymmetrisch bezüglich der Gate-Elektrode 3 ausgebildet werden, aber im Prinzip auch unterschiedliche Neigungswinkel aufweisen können. Die Tiefe d dieser Ätzung beträgt vorzugsweise 20 nm bis 200 nm, typisch  
30 z. B. etwa 100 nm. Bei dem Ätzen des Substrats können die schrägen Flanken 5 ein Stück weit unter die Gate-Elektrode 3 geätzt werden (underetch).

Es wird dann, wie in der Figur 4 gezeigt, kantenkonform isotrop eine Spacerschicht 6 abgeschieden, die vorzugsweise Oxid ist und z. B. in einer typischen Dicke von etwa 150 nm bis 160 nm aufgebracht werden kann. Die erforderliche Dicke hängt auch mit der Tiefe  $d$  zusammen; sie sollte maximal etwa 200 nm betragen. Die Tiefe  $d$ , die Dicke der Spacerschicht 6 sowie die Neigung der schrägen Flanken 5 und die Abmessung der Struktur werden aufeinander abgestimmt. Die Spacerschicht 6 wird anschließend anisotrop in einer an sich bekannten Weise rückgeätzt, um Seitenwandspacer an den Flanken der Gate-Elektrode zu bilden.

Die Figur 5 zeigt die so erhaltene Struktur mit den Spacern 7 an den sourceseitigen und drainseitigen Flanken der Gate-Elektrode 3. Die Spacer 7 bedecken die schrägen Flanken 5, wobei in der Figur 5 deutlich erkennbar ist, dass die in der zu der Ebene der schrägen Flanken 5 senkrechten Richtung gemessene Dicke der Spacer 7 nach unten zum Substrat hin geringer wird. Unterhalb einer durch das Gate-Dielektrikum 2 festgelegten Ebene hat der Querschnitt der Spacer 7 näherungsweise eine dreieckige Form. Es kann dann die erste Maske aufgebracht werden, um die Transistorbereiche, die für Transistoren des einen Typs vorgesehen sind, abzudecken. Daraufhin erfolgt die Implantation zur Ausbildung der Source-Bereiche, Drain-Bereiche und LDD-Bereiche. In eine p-dotierte Wanne im Substrat 1 wird ein Dotierstoff für n-Leitung eingebracht und umgekehrt.

In der Figur 6 ist die Herstellung der Source- und Drain-Bereiche 12 sowie der Bereiche 11 niedrigerer Dotierstoffkonzentration, im Folgenden ohne die Absicht einer Einschränkung kurz als LDD-Bereiche 11 bezeichnet, im Schema dargestellt. In der Figur 6 ist die Senkrechte 8 auf der um die Tiefe  $d$  abgesenkten Ebene der Oberseite des Substrats 1 eingezeichnet. Der dargestellte Querschnitt liegt in der Ebene, die

senkrecht auf der Oberseite des Substrats und senkrecht auf der Ebene der schrägen Flanke 5 steht.

Die für die LDD-Bereiche vorgesehene Implantation niedriger Dosis 9 wird in einer Richtung vorgenommen, die in diesem in der Figur 6 dargestellten Querschnitt um den Winkel 14 gegen die Senkrechte 8 geneigt ist. Der Winkel 14 für die Implantation niedriger Dosis 9 kann dem Neigungswinkel der Flanken 5 gegen die Substratoberseite entsprechen, kann aber auch davon abweichen; er liegt vorzugsweise im Bereich zwischen 30° und 60°. Durch den dünnen unteren Teil der Spacer 7 gelangt genügend Dotierstoff in das Substrat, um die LDD-Bereiche 11 auszubilden. Die LDD-Bereiche 11 reichen in dem dargestellten Beispiel noch etwas unter die Gate-Elektrode 3. Zwischen ihnen befindet sich der Kanalbereich 13.

Eine weitere Implantation höherer Dosis 10 erfolgt zur Herstellung der Source-Bereiche und Drain-Bereiche 12. Die Reihenfolge der Implantationen ist im Prinzip beliebig. Bevorzugt ist die Herstellung der LDD-Bereiche vor der Herstellung der Source- und Drain-Bereiche. Die Richtung der Implantation höherer Dosis 10 sollte von der Senkrechten 8 höchstens um einen Winkel von etwa 7° abweichen, um sicherzustellen, dass die Source-Drain-Bereiche in ausreichendem Abstand von dem Kanalbereich 13 hergestellt werden.

Bei weiteren Ausgestaltungen, die von dem bevorzugten und in den Figuren idealisiert dargestellten beschriebenen Ausführungsbeispiel abweichen, können die Flanken insbesondere zum Substrat hin gewölbt oder sonst uneben ausgebildet werden. Der oben bezeichnete Neigungswinkel der Flanken von 30° bis 60° zu der ebenen Oberseite des Substrates wird in diesen Fällen durch eine die Flanken approximierende Ebene geeignet definiert. Diese Ebene wird z. B. durch die betreffende untere Kante der Gate-Elektrode und den Übergang zwischen der schrägen Flanke und dem waagrechten Anteil der Substratoberseite festgelegt.

Die Spacer 7 brauchen nicht notwendig wie in der Figur 5 dargestellt genau die Flanken der Gate-Elektrode und die schrägen Flanken 5 zu bedecken. Statt dessen kann z. B. ein unterer Anteil der schrägen Flanken 5 und/oder ein oberer Anteil der Flanken der Gate-Elektrode von den Spacern 7 frei gelassen bleiben. Es kann auch vorgesehen werden, dass die Spacer 7 noch einen Anteil der waagrechten Oberseite des Substrats 1 mit bedecken. Die Darstellungen der Figuren 5 und 6 sind in dieser Hinsicht idealisiert. Wesentlich für die Ausgestaltung der Spacer ist dabei nur, dass sie in der vorgesehenen Richtung der Implantation niedriger Dotierstoffkonzentration zumindest im unteren Bereich ausreichend dünn sind, um genügend Dotierstoff durchzulassen, und dass sie andererseits in der zu der Substratoberseite senkrechten Richtung eine ausreichende gateseitige Abschirmung der steil auftreffenden Source-/Drain-Implantationen bilden.

## Patentansprüche

1. Verfahren zur Herstellung von Transistorstrukturen mit LDD, bei dem
- 5 auf einer im Wesentlichen ebenen Oberseite eines Halbleiterkörpers oder Substrats (1) eine Gate-Elektrode (3) auf einem Gate-Dielektrikum (2) strukturiert wird und unter Verwendung der Gate-Elektrode (3) als Maske Implantationen von Dotierstoff zur Ausbildung von Source-/Drain-
- 10 Bereichen (12) sowie von daran kanalseitig angrenzenden Bereichen (11) niedrigerer Dotierstoffkonzentration erfolgen, d a d u r c h g e k e n n z e i c h n e t , dass nach dem Strukturieren der Gate-Elektrode (3) das Substrat (1) derart geätzt wird, dass sourceseitig und drainseitig an
- 15 die Gate-Elektrode (3) angrenzende und von der Gate-Elektrode (3) nach außen abfallende schräge Flanken (5) ausgebildet werden,
- eine Spacerschicht (6) kantenkonform abgeschieden und anisotrop zu Spacern (7) rückgeätzt wird, die die sourceseitigen
- 20 und drainseitigen Flanken der Gate-Elektrode (3) und die schrägen Flanken (5) zumindest teilweise bedecken, und die Implantation von Dotierstoff in einer bezüglich der ursprünglichen Oberseite des Substrats steilen Richtung zur Ausbildung der Source- und Drain-Bereiche (12) und in einer
- 25 bezüglich der ursprünglichen Oberseite des Substrats schrägen Richtung durch die Spacer (7) hindurch zur Ausbildung der Bereiche (11) niedrigerer Dotierstoffkonzentration vorgenommen wird.
- 30 2. Verfahren nach Anspruch 1, bei dem die schrägen Flanken (5) mit einer Neigung von  $30^\circ$  bis  $60^\circ$  gegen die ursprüngliche Oberseite des Substrats (1) ausgebildet werden.
- 35 3. Verfahren nach Anspruch 2, bei dem die schrägen Flanken (5) mit einer Neigung von  $45^\circ$  gegen die ursprüngliche Oberseite des Substrats (1) ausgebildet werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Implantation zur Ausbildung der Bereiche (11) niedrigerer Dotierstoffkonzentration in einer Richtung erfolgt, die in einer auf der Oberseite des Substrats (1) und den schrägen Flanken (5) senkrecht stehenden Schnittebene mit einer Senkrechten auf der ursprünglichen Oberseite des Substrates (1) einen Winkel zwischen  $30^\circ$  und  $60^\circ$  einschließt.
- 10 5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem die Implantation zur Ausbildung der Source- und Drain-Bereiche (12) in einer Richtung erfolgt, die in einer auf der Oberseite des Substrats (1) und den schrägen Flanken (5) senkrecht stehenden Schnittebene mit einer Senkrechten auf der ursprünglichen Oberseite des Substrates (1) einen Winkel zwischen  $0^\circ$  und  $7^\circ$  einschließt.
- 20 6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem mit dem Ätzen der schrägen Flanken (5) das Substrat (1) auch etwas unterhalb der Gate-Elektrode (3) weggeätzt wird.
- 25 7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem mit dem Ätzen der schrägen Flanken (5) die Oberseite des Substrats (1) um eine Tiefe (d) im Bereich von 20 nm bis 200 nm abgesenkt wird.

FIG 1

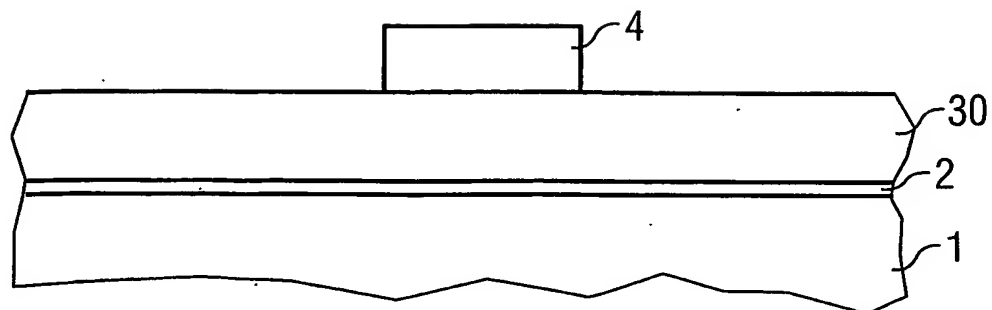


FIG 2

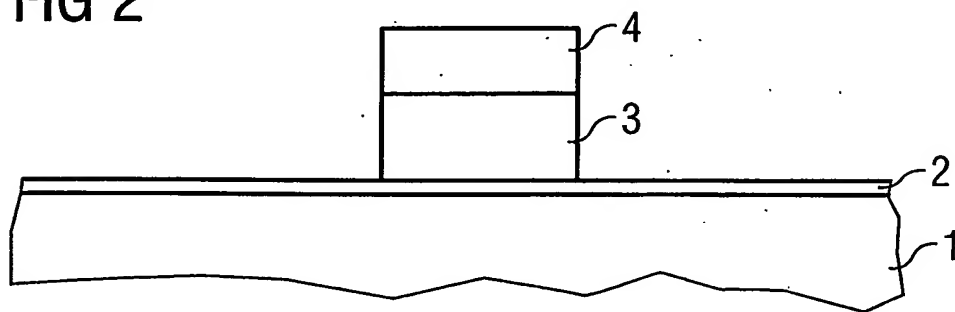


FIG 3

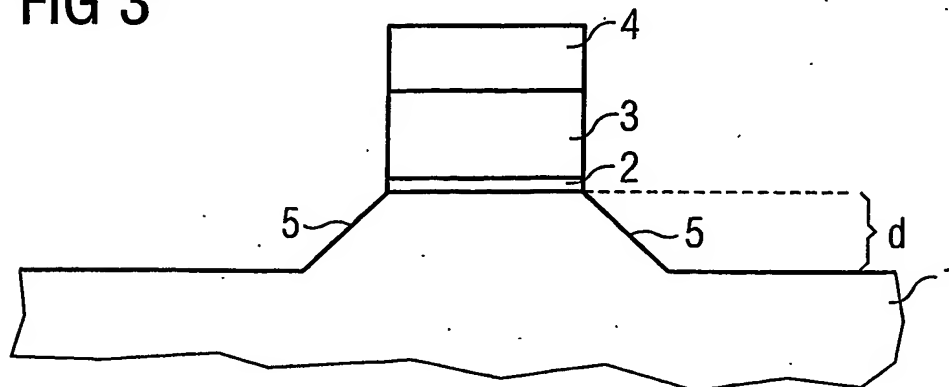


FIG 4

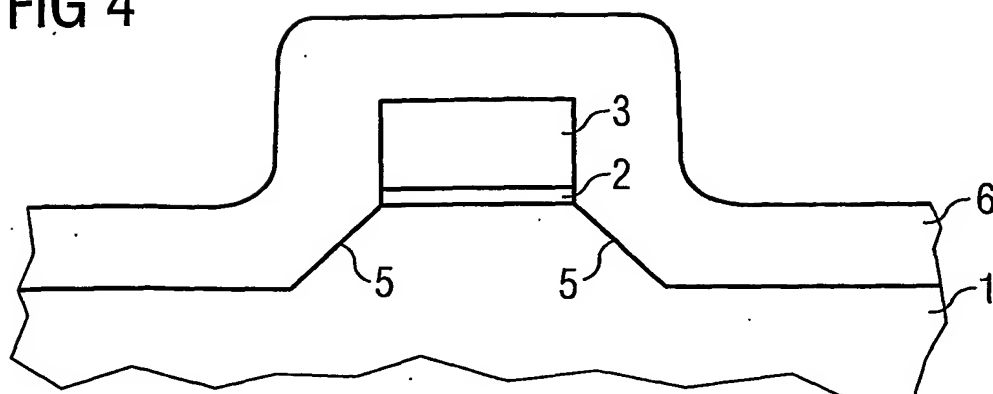


FIG 5

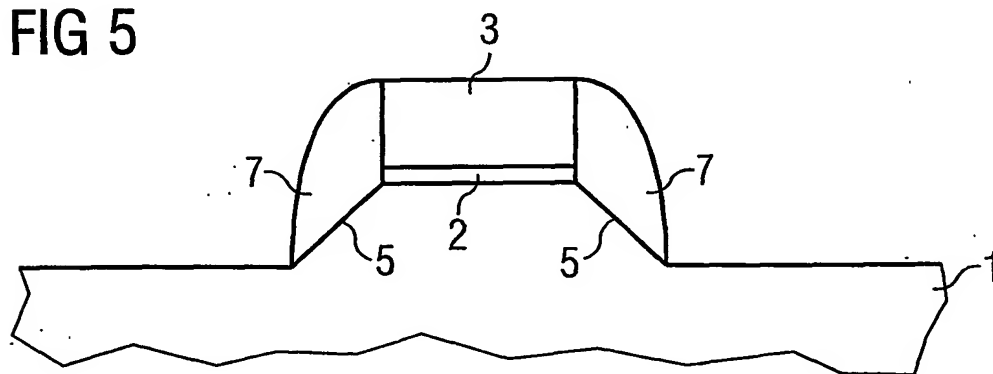
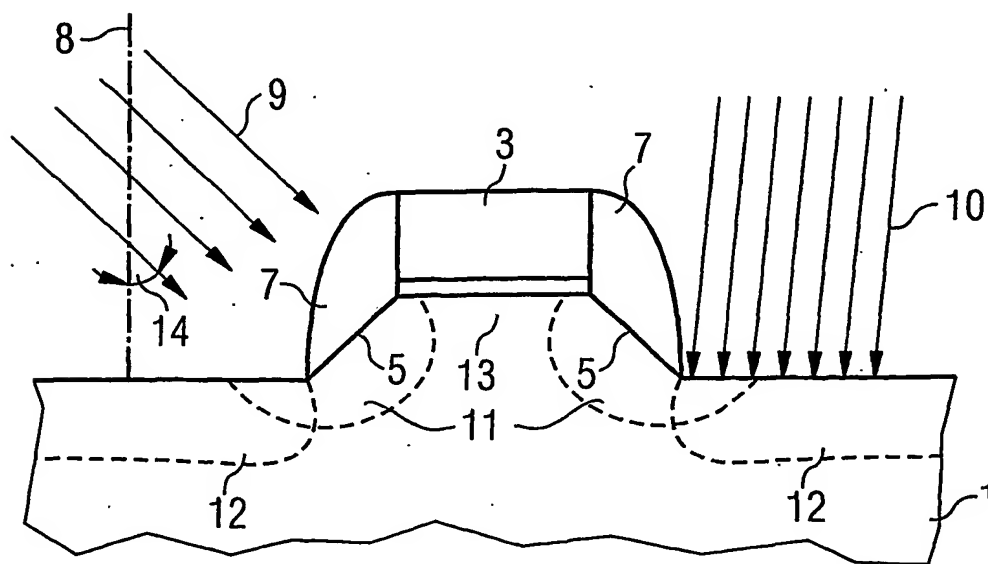


FIG 6



# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/012031

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L21/336 H01L21/265

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, INSPEC, COMPENDEX, IBM-TDB

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 538 909 A (HSU ET AL) 23 July 1996 (1996-07-23) column 3, line 58 - column 4, line 43; figure 4	1-7
Y	PATENT ABSTRACTS OF JAPAN vol. 018, no. 174 (E-1530), 24 March 1994 (1994-03-24) -& JP 05 343674 A (RICOH CO LTD), 24 December 1993 (1993-12-24) abstract; figures 6,7	1-7
A	US 6 010 936 A (SON ET AL) 4 January 2000 (2000-01-04) column 3 - column 4; figure 3	1-7
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

8 March 2005

Date of mailing of the international search report

16/03/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5816 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Berthold, K

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/012031

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 07, 31 August 1995 (1995-08-31) & JP 07 094714 A (SONY CORP), 7 April 1995 (1995-04-07) abstract	
A	US 2002/003290 A1 (NAMATAME TATSURU ET AL) 10 January 2002 (2002-01-10) paragraph '0075! - paragraph '0081!; figure 9	1-7
A	PATENT ABSTRACTS OF JAPAN vol. 1995, no. 09, 31 October 1995 (1995-10-31) & JP 07 142728 A (MITSUBISHI ELECTRIC CORP), 2 June 1995 (1995-06-02) abstract	1-7
A	PATENT ABSTRACTS OF JAPAN vol. 017, no. 245 (E-1365), 17 May 1993 (1993-05-17) & JP 04 368133 A (MITSUBISHI ELECTRIC CORP), 21 December 1992 (1992-12-21) abstract	1-7
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 09, 30 July 1999 (1999-07-30) & JP 11 111979 A (SANYO ELECTRIC CO LTD), 23 April 1999 (1999-04-23) abstract	1-7

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/012031

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5538909	A	23-07-1996	NONE	
JP 05343674	A	24-12-1993	NONE	
US 6010936	A	04-01-2000	KR 239707 B1 CN 1183638 A ,C JP 3079371 B2 JP 10163491 A US 2001016393 A1	15-01-2000 03-06-1998 21-08-2000 19-06-1998 23-08-2001
JP 07094714	A	07-04-1995	NONE	
US 2002003290	A1	10-01-2002	JP 2001313389 A	09-11-2001
JP 07142728	A	02-06-1995	JP 3331040 B2 US 5583364 A	07-10-2002 10-12-1996
JP 04368133	A	21-12-1992	NONE	
JP 11111979	A	23-04-1999	NONE	

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/012031

<b>A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES</b> IPK 7 H01L21/336 H01L21/265		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
<b>B. RECHERCHIERTE GEBIETE</b> Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, PAJ, WPI Data, INSPEC, COMPENDEX, IBM-TDB		
<b>C. ALS WESENTLICH ANGESEHENE UNTERLAGEN</b>		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 538 909 A (HSU ET AL) 23. Juli 1996 (1996-07-23) Spalte 3, Zeile 58 - Spalte 4, Zeile 43; Abbildung 4	1-7
Y	PATENT ABSTRACTS OF JAPAN Bd. 018, Nr. 174 (E-1530), 24. März 1994 (1994-03-24) -& JP 05 343674 A (RICOH CO LTD), 24. Dezember 1993 (1993-12-24) Zusammenfassung; Abbildungen 6,7	1-7
A	US 6 010 936 A (SON ET AL) 4. Januar 2000 (2000-01-04) Spalte 3 - Spalte 4; Abbildung 3	1-7
-/-		
<div style="display: flex; justify-content: space-between;"> <div> <input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen         </div> <div> <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie         </div> </div>		
<p>* Besondere Kategorien von angegebenen Veröffentlichungen :</p> <p>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> <p>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</p>		
Datum des Abschlusses der Internationalen Recherche  <b>8. März 2005</b>		Absenddatum des Internationalen Recherchenberichts  <b>16/03/2005</b>
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter  <b>Berthold, K</b>

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN Bd. 1995, Nr. 07, 31. August 1995 (1995-08-31) & JP 07 094714 A (SONY CORP), 7. April 1995 (1995-04-07) Zusammenfassung -----	
A	US 2002/003290 A1 (NAMATAME TATSURU ET AL) 10. Januar 2002 (2002-01-10) Absatz '0075! - Absatz '0081!; Abbildung 9 -----	1-7
A	PATENT ABSTRACTS OF JAPAN Bd. 1995, Nr. 09, 31. Oktober 1995 (1995-10-31) & JP 07 142728 A (MITSUBISHI ELECTRIC CORP), 2. Juni 1995 (1995-06-02) Zusammenfassung -----	1-7
A	PATENT ABSTRACTS OF JAPAN Bd. 017, Nr. 245 (E-1365), 17. Mai 1993 (1993-05-17) & JP 04 368133 A (MITSUBISHI ELECTRIC CORP), 21. Dezember 1992 (1992-12-21) Zusammenfassung -----	1-7
A	PATENT ABSTRACTS OF JAPAN Bd. 1999, Nr. 09, 30. Juli 1999 (1999-07-30) & JP 11 111979 A (SANYO ELECTRIC CO LTD), 23. April 1999 (1999-04-23) Zusammenfassung -----	1-7

# INTERNATIONALES RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/012031

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5538909	A	23-07-1996	KEINE	
JP 05343674	A	24-12-1993	KEINE	
US 6010936	A	04-01-2000	KR 239707 B1	15-01-2000
			CN 1183638 A ,C	03-06-1998
			JP 3079371 B2	21-08-2000
			JP 10163491 A	19-06-1998
			US 2001016393 A1	23-08-2001
JP 07094714	A	07-04-1995	KEINE	
US 2002003290	A1	10-01-2002	JP 2001313389 A	09-11-2001
JP 07142728	A	02-06-1995	JP 3331040 B2	07-10-2002
			US 5583364 A	10-12-1996
JP 04368133	A	21-12-1992	KEINE	
JP 11111979	A	23-04-1999	KEINE	

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**